

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

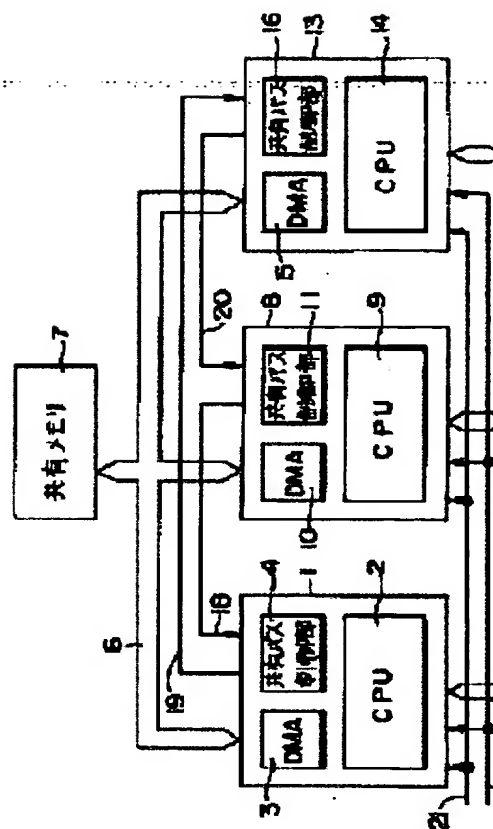
MICROCOMPUTER

Patent number: JP5282246
 Publication date: 1993-10-29
 Inventor: SASAKI TAKAYOSHI
 Applicant: NEC CORP
 Classification:
 - international: G06F13/376; G06F15/16
 - european:
 Application number: JP19920077879 19920331
 Priority number(s):

Abstract of JP5282246

PURPOSE: To provide a microcomputer in which a system design can be easily attained by a simple bus adjusting function, the system can be constituted only of one kind of microcomputer, and the number of terminals can be reduced, in a microcomputer system in which the plural microcomputers are connected with the same bus, and data are shared.

CONSTITUTION: Microcomputers 1, 8, and 13 are connected with a shared bus 6, and the constitution of each microcomputer is the same. The microcomputer 1 is constituted of a CPU 2, DMA 3, and shared bus control part 4. The microcomputer 1 is connected with a memory 5, and the CPU 2 is operated based on a command program written in the memory 5. Each microcomputer is connected like a ring through the signal lines of permission signals 18, 19, and 20 which permit the usage of the shared bus 6, and the permission signals are circulated among each microcomputer. Each microcomputer inputs the permission signal, starts the usage of the shared bus 6, and holds the permission signal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-282246

(43) 公開日 平成5年(1993)10月29日

(51) Int.Cl.⁵

G 0 6 F 13/376
15/16

識別記号

3 6 0 R

庁内整理番号

9072-5B

8840-5L

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 9 頁)

(21) 出願番号 特願平4-77879

(22) 出願日 平成4年(1992)3月31日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 佐々木 隆義

東京都港区芝5丁目7番1号 日本電気株式会社内

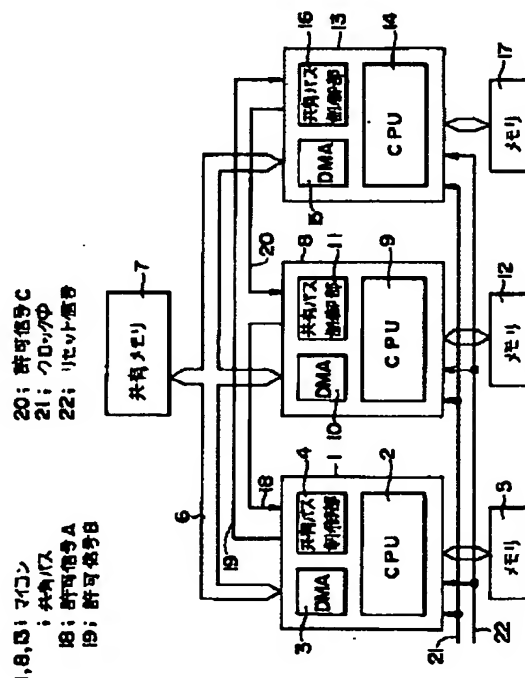
(74) 代理人 弁理士 藤巻 正憲

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 複数のマイコンが同一のバスに接続されてデータを共有するマイコンシステムにおいて、簡易なバス調停機能によって、システム設計を容易にでき、1種類のマイコンのみで構成することができると共に、端子数が少ないマイクロコンピュータを提供する。

【構成】 マイコン1, 8, 13は、共有バス6に接続されており、夫々同一構成を有している。マイコン1は、CPU 2, DMA 3及び共有バス制御部4で構成されている。マイコン1はメモリ5に接続され、CPU 2は、メモリ5に書き込まれた命令プログラムに基づいて動作する。各マイコンは、共有バス6の使用を許可する許可信号18, 19, 20の信号線によりリング状に接続されており、その許可信号は、各マイコン間において循環される。各マイコンは、許可信号を入力すると、共有バス6の使用を開始し、許可信号を保持する。



【特許請求の範囲】

【請求項1】 複数のマイクロコンピュータと、この複数のマイクロコンピュータに共通に用いられる第1の記憶手段と、前記複数のマイクロコンピュータにおける個々のマイクロコンピュータに対して夫々個別に用いられる複数の第2の記憶手段と、前記複数のマイクロコンピュータ間及び第1の記憶手段を共通に接続するバスとを有するマイクロコンピュータにおいて、前記複数のマイクロコンピュータは、前記バスの使用権を示す許可信号を入出力し、自己が前記バスを使用しないときは入力した前記許可信号を他の前記マイクロコンピュータに出力し、自己が前記バスを使用するときは前記許可信号を入力してから保持して前記バスの使用後に前記許可信号を他の前記マイクロコンピュータに出力するバス制御手段を夫々有することを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータに関し、特に複数のマイクロコンピュータを同一のバスに接続してデータを共有するためのバス調停回路を有するマイクロコンピュータに関する。

【0002】

【従来の技術】 従来のマイクロコンピュータ（以下、マイコンと記す）としては、ダイレクトメモリアクセス装置（以下、DMAと記す）及び中央処理装置（以下、CPUと記す）とそのDMA及びCPUが通常命令フェッチをするメモリ空間とを接続するバスと、DMAと主にそのDMAがアクセスするデータの格納をするメモリ空間とを接続するバスとを持つ高速なデータ処理に適したマイコンがある。またDMAには、マイコンに内蔵された通信回路及び外部のディスク装置が接続され、各種メモリへデータ転送が行なわれる。

【0003】 図5は、上述のような従来のマイコンの一例を示すブロック図であり、複数のマイコンを有しておりその複数のマイコンはDMAがアクセスするメモリ空間を共有し同一のデータを利用して、データ処理をする構成を示している。図5に示すように、マイコン51は、CPU52とDMA53とで構成されている。マイコン51はメモリ54に接続され、CPU52は、メモリ54に書き込まれた命令プログラムに基づいて動作する。また、マイコン51は、共有バス55に接続されている。共有バス55は、共有するデータを読み書きするための共有メモリ56にも接続されている。

【0004】 マイコン57は、CPU58とDMA59とで構成されている。マイコン57はメモリ60に接続され、CPU58は、メモリ60に書き込まれた命令プログラムに基づいて動作する。また、マイコン57は、共有バス55に接続されている。マイコン61は、CPU62とDMA63とで構成されている。マイコン61はメモリ64に接続され、CPU62は、メモリ64に

書き込まれた命令プログラムに基づいて動作する。また、マイコン61は、共有バス55に接続されている。

【0005】 マイコン57は、共有バス55を使用するとき、バス要求信号B65を出力する。同様に、マイコン61は、バス要求信号C66を出力する。ORゲート67は、バス要求信号B65とバス要求信号C66を入力して論理和をとり、バス要求信号A68を出力する。

【0006】 マイコン51は、バス要求信号A68を入力し、マイコン51が共有バス55を使用しないときは、“0”をバス許可信号A69としてインバータ70に出力する。インバータ70は、バス許可信号A69を反転して、NANDゲート71及びNANDゲート72に出力する。更に、NANDゲート72は、バス要求信号B65を入力して、反転されたバス許可信号A69とバス要求信号B65との論理積をし、更に反転させてバス許可信号B73としてマイコン57に出力する。NANDゲート71は、反転されたバス許可信号A69と反転されたバス要求信号B65とバス要求信号C66との論理積をし更に反転させてバス許可信号C74としてマイコン61に出力する。

【0007】 基準クロックφ75は、マイコン51、57、61に入力される。この基準クロックφ75に従って、マイコン51、57、61は動作する。

【0008】 次に上述の従来のマイコンの動作をについて図6に示すタイミングチャートを参照して説明する。図6は、図5に示す従来のマイコンにおける各部の動作を示すタイミングチャートである。本従来例では、始めにマイコン57が共有バス55へのアクセスを開始するものとしている。そのバスサイクルが終了する前に、マイコン61から共有バス55の使用要求がでた場合のタイミングについて説明する。

【0009】 図6に示すように、基準クロックφ73は、タイミングT1～T11の基となっている。タイミングT1において、マイコン57におけるDMA59が共有バス55をアクセスしようとする、マイコン57は、バス要求信号B65を“1”にする。これにより、ORゲート67の出力であるバス要求信号A68が“1”となりマイコン51に入力される。タイミングT2において、マイコン51は、自己が共有バス55をアクセスしないときはバス要求信号A68に対してバス許可信号A69を“0”にする。バス許可信号A69は、インバータ70に入力され“1”となって出力される。バス要求信号B65とインバータ70の出力とは“1”なのでタイミングT2では、NANDゲート72の出力が“0”になりバス許可信号B73がアクティブになる。

【0010】 マイコン57は、アクティブなバス許可信号B73を入力して1基準クロック後のタイミングT3から共有バス55へのアクセスを開始する。本従来例では、アドレスデータマルチプレックスとなっていて、共

3

有バス55へは、タイミングT3からアドレスを出力し、タイミングT4、T5、T6においてデータを入出力する。ここで、タイミングT4において、マイコン61におけるDMA63が共有バス55をアクセスしようとする、マイコン61はバス要求信号C66を“1”にしてアクティブにする。ORゲート67は、既にバス要求信号B65によりアクティブとなっており、この時点では、バス要求信号A68に変化はない。

【0011】マイコン51から出力されるバス許可信号A69をインバータ70が反転した信号は“1”になり、バス要求信号C66は“1”になり、バス要求信号B65が“1”になるので、NANDゲートA71の出力であるバス許可信号C74は“1”になり、アクティブとはならない。

【0012】タイミングT6において、マイコン57が共有バス55の使用を終了すると、マイコン57は、バス要求信号B65を“0”にし、共有バス55の使用要求を取り下げる。マイコン61は、バス要求信号C66を出力を続けているので、バス要求信号A68は“1”になり続け、これに対応してバス許可信号A69もアクティブになり続け、インバータ70の出力は“1”となっている。

【0013】バス要求信号B65が“0”になると、NANDゲート71がアクティブになり、バス許可信号C74は“0”になりアクティブになる。バス許可信号C74が“0”なので1基準クロック後にマイコン61は、共有バス55へアクセスを開始する。

【0014】タイミングT7からアドレスを出力し、タイミングT8、T9、T10においてデータを入出力する。タイミングT10においてマイコン61がメモリへのアクセスを終了すると、バス要求信号C66を取り下げる。そしてバス要求信号C66が“0”になるので、バス要求信号A68が“0”になり共有バス55の使用要求がなくなるので、1基準クロック後のタイミングT11においてバス許可信号A69は“1”になり、マイコン57、61による共有バス55の使用は終了する。

【0015】また、マイコン51が共有バス55をアクセスする場合は、バス許可信号A69をアクティブにせず、他のマイコンが共有バス55をアクセスしないように制御して、バス使用の調停を計っている。

【0016】

【発明が解決しようとする課題】しかしながら、上述した従来のマイコンでは、マイコンが複数接続されているのでバスの調停をするために、優先順位回路を用いなければならない。従って、優先順位を低く割当てられたマイコンは、自己より優先順位の高い全ての他のマイコンの処理が終了するまで、長い間バスの制御権を得ることができない場合があり、マイコンの処理時間を見積るのが困難となり、複数のマイコンを用いたシステム設計を難しくしているという問題点がある。

4

【0017】上述した従来のマイコンのようにマイコンを複数接続する場合では、複数のマイコンの内1つのマイコンは、バスの使用要求信号を入力し、バスの使用許可信号を出力する回路を内蔵しなければならない。他の複数のマイコンは、バスの使用要求信号を出力し、バスの使用許可信号を入力する回路を内蔵しなければならない。従って、上述した従来のマイコンでは、2種類のマイコンを設計及び製造しなければならない、そして使用の複雑さも増大して経済的な負担が大きいという問題点がある。

【0018】また、上述した従来のマイコンでは、複数のマイコンを接続するために、外付けの優先順位制御回路を拡張しなければならないので部品数が増加してしまう。更に、優先順位制御回路をマイコンに内蔵しても、接続する外部のマイコンの数に応じて必要となる端子数が増大してしまうという問題点がある。

【0019】本発明はかかる問題点に鑑みてなされたものであって、複数のマイコンが同一のバスに接続されてデータを共有するマイコンにおいて、簡易なバス調停回路によって、システム設計が容易にでき、1種類のマイコンのみで構成することができ、かつ端子数を少なくすることができるマイコンを提供することを目的とする。

【0020】

【課題を解決するための手段】本発明に係るマイクロコンピュータは、複数のマイクロコンピュータと、この複数のマイクロコンピュータに共通に用いられる第1の記憶手段と、前記複数のマイクロコンピュータにおける個々のマイクロコンピュータに対して夫々個別に用いられる複数の第2の記憶手段と、前記複数のマイクロコンピュータ間及び第1の記憶手段を共通に接続するバスとを有するマイクロコンピュータにおいて、前記複数のマイクロコンピュータは、前記バスの使用権を示す許可信号を入出力し、自己が前記バスを使用しないときは入力した前記許可信号を他の前記マイクロコンピュータに出力し、自己が前記バスを使用するときは前記許可信号を入力してから保持して前記バスの使用後に前記許可信号を他の前記マイクロコンピュータに出力するバス制御手段を夫々有することを特徴とする。

【0021】

【作用】本発明に係るマイコンにおいては、複数のマイコンが同一のバスに接続されるマイコンシステムにおいて、複数のマイコンは、夫々バス制御手段を有している。バス制御手段は、各マイコンが共有するバスを自己のマイコンが使用することができるようにする手段である。そして、各マイコンにおけるバス制御手段は、リング状に接続されて、バスの使用権を示す許可信号を入出力して循環させている。バス制御手段は、自己のマイコンがバスを使用するときは、許可信号を入力してから保持してバスの使用後にその許可信号を他のマイコンにおけるバス制御手段に出力する。これらにより、各マイコ

ンにおけるバスの制御権は、リング状に接続した許可信号の接続の順番で決るので、他のマイコンのバスの使用が1度終了していれば必ずバスの制御権を得ることができる。従って、本発明に係るマイコンでは、マイコンの処理時間を見積易くなり、各マイコンは、許可信号の入力端子及び出力端子のみを持てばよいので、端子数を接続するマイコンの数によって変更する必要がなく、また、優先順位を制御する回路が不要になる。更には、複数のマイコンにおける夫々の回路構成は同じものでよいので、従来例のように2種類のマイコンを使用する必要がなく経済的に有利になる。

【0022】

【実施例】次に、本発明の実施例について添付の図面を参照して説明する。

【0023】図1は、本発明の第1の実施例に係るマイコンを示すブロック図である。本第1の実施例に係るマイコンは、複数のマイコンを有しており、その複数のマイコンはDMAがアクセスするメモリ区間を共有し、同一のデータを利用してデータ処理をする構成である。また、図示しないが各マイコンには、例えば高速通信制御回路等の周辺回路が内蔵され、各DMAに接続され各DMAを介して共有メモリ7へデータを入出力する。

【0024】マイコン1は、CPU2、DMA3及び共有バス制御部4で構成されている。マイコン1はメモリ5に接続され、CPU2は、メモリ5に書き込まれた命令プログラムに基づいて動作する。また、マイコン1は、共有バス6に接続されている。共有バス6は、共有するデータを読み書きするための共有メモリ7にも接続されている。

【0025】マイコン8は、CPU9、DMA10及び共有バス制御部11で構成されている。マイコン8はメモリ12に接続され、CPU9は、メモリ12に書き込まれた命令プログラムに基づいて動作する。また、マイコン8は、共有バス6に接続されている。

【0026】マイコン13は、CPU14、DMA15及び共有バス制御部16で構成されている。マイコン13はメモリ17に接続され、CPU14は、メモリ17に書き込まれた命令プログラムに基づいて動作する。また、マイコン13は、共有バス6に接続されている。

【0027】バスアクセスを許可する許可信号A18は、マイコン1に入力され、マイコン1は、許可信号B19を出力する。バスアクセスを許可する許可信号C20は、マイコン8に入力され、マイコン8は、許可信号A18を出力する。バスアクセスを許可する許可信号B19は、マイコン13に入力され、マイコン13は、許可信号C20を出力する。

【0028】基準クロックφ21は、マイコン1、8、13に入力される。この基準クロックφ21に従って、マイコン1、8、13は動作する。リセット信号22は、マイコン1、8、13に入力され、各マイコンを同

時に初期化する。

【0029】更に、図2を参照して図1に示すマイコン1、8、13における共有バス制御部4、11、16の構造について説明する。図2は、図1に示すマイコンにおける共有バス制御部4、11、16の構造を詳細に示す回路図である。共有バス制御部4、11、16は、夫々同一の構造をしている。

【0030】許可信号入力端子31を介して入力される許可信号A18は、基準クロックφ21の立ち下がりに同期するDラッチ32に入力される。Dラッチ32の出力は、ANDゲート33及び34に入力される。マイコン1に内蔵されるDMA3は、共有バス6を使用したいとき、REQ信号35を出力し、フリップフロップ（以下F/Fと記す）36をセットする。F/F36は、基準クロックφ21の立ち下がりに同期して動作する。F/F36の出力信号は、ANDゲートA33に入力される。ANDゲートA33の出力は、バススタート信号37としてDMA3へ送られる。DMA3は、共有バス6の使用を終了すると終了信号38を出力し、F/F36をリセットする。スタート信号40は、マイコン1におけるCPU2から出力される。ORゲート39は、ANDゲート34の出力と終了信号38とスタート信号40とを入力し論理和をとる。ORゲート39の出力は、基準クロックφ21の立上がりで同期するDラッチ41に入力される。Dラッチ41の出力は、許可信号B19として許可信号出力端子42を介して出力される。

【0031】次に、上述の如く構成された本第1の実施例に係るマイコンの動作について説明する。

【0032】図3は、図1及び図2に示す本第1の実施例に係るマイコンにおける各部の動作を示すタイミングチャートである。図3に示すように、基準クロックφ21は、タイミングT1～T10の基となっている。

【0033】まず、各マイコン1、8、13から共有バス6への使用要求がない場合について説明する。許可信号A18がタイミングT1において基準クロックφ21の立ち上がりで“1”になると、その許可信号A18を入力したDラッチ32は、タイミングT2における基準クロックφ21の立上がりで出力を“1”にする。ここで、REQ信号35はDMA3より出力されていないので、F/F36の出力は“0”になり、ANDゲート34の出力は“1”になる。ORゲート39の出力は、ANDゲート34の出力により“1”になる。ORゲート39の出力は、Dラッチ41によりタイミングT2における基準クロックφ21の立上がりでラッチされ許可信号出力端子42より許可信号B19として出力される。

【0034】従って、共有バス6の使用要求がない場合には、許可信号入力端子31から入力された許可信号A18は、1基準クロック後に許可信号出力端子42から許可信号B19となって出力される。マイコン8、9においても共有バス制御部11、16は上述と同様に動作

する。

【0035】タイミングT2において、マイコン1から出力された許可信号B19は、マイコン13における共有バス制御部16に入力され、1クロック後のタイミングT3において、許可信号C20として出力される。更に許可信号C20は、マイコン8に入力され、1クロック後のタイミングT4において許可信号A18としてマイコン8から出力される。ここで、REQ信号35がアクティブでない場合は、許可信号A18は、許可信号B19としてマイコン1から出力される。つまり、共有バス6を使用しない限り1基準クロックの長さで1レベルの許可信号が各マイコン間で循環することになる。

【0036】次に、マイコン1が共有バス6をアクセスする場合について説明する。DMA3が共有バス6をアクセスしようとするとき、DMA3は、タイミングT3においてREQ信号35を出力して、F/F36をセットする。許可信号がマイコン間で循環して、許可信号A18がアクティブになり、タイミングT4において許可信号入力端子31より入力され、タイミングT5においてDラッチ32により基準クロックφ21の立上りに同期化される。F/F36の出力がタイミングT4において“1”、Dラッチ32の出力がタイミングT5において“1”となったので、ANDゲートA33の出力は、タイミングT5における基準クロックφ21の立上がりで“1”になり、バススタート信号37がアクティブになる。バススタート信号37を入力したDMA3は、タイミングT5において基準クロックφ21が“1”のとき共有バス6にアドレスを出力し、共有バス6へのアクセスを開始する。

【0037】本第1の実施例に係るマイコンでは、アドレスデータマルチプレックスとなっており、タイミングT5においてアドレスを出力し、タイミングT6、T7、T8において共有メモリ7へデータを入出力する。

【0038】ここで、F/F36の出力は“1”であり、ANDゲートB34の出力は“0”なので、許可信号B19は“0”のままである。そして、他のマイコン8、13は、許可信号B19及びC20が“1”とならないので、共有バス6へアクセスするためのスタートのタイミングをDMA10、15へ与えるバススタート信号37出力することができず共有バス6をアクセスしない。

【0039】マイコン1におけるDMA3は、タイミングT8においてデータ入出力を終了すると、終了信号38を出力する。終了信号38によりF/F36は、リセットされ次のバス使用要求に備える。終了信号38は、ORゲート39を介してタイミングT8においてDラッチ41に入力され、基準クロックφ21の立上りに同期化されて許可信号出力端子42から許可信号B19として出力される。許可信号B19が出力されたので、他のマイコン8、16は、共有バス6をアクセスすること

ができるようになる。

【0040】なお、本第1の実施例に係るマイコンでは、許可信号を各マイコン間で循環する必要があるので、リセット信号22により各マイコンの初期化後1つのマイコンだけが許可信号を出力するようにする。図1に示す本第1の実施例では、スタート信号40を出力する命令をマイコン1の初期化後実行するように記述されたプログラムがメモリ5に格納されている。マイコン1におけるCPU2は、リセット信号22により初期化後メモリ5に格納されている命令を実行して、スタート信号40を出力する。スタート信号40は、ORゲート39を介してDラッチ41に入力され、基準クロックφ21の立上りに同期化されて許可信号出力端子42から許可信号B19として出力される。許可信号B19が出力されたので、許可信号の循環がスタートする。

【0041】以上説明したように、本第1の実施例に係るマイコンでは、ソフトウェアにより初期化後に最初の許可信号を出力するマイコンを選択している。

【0042】次に、本発明の第2の実施例に係るマイコンについて説明する。図4は、本発明の第2の実施例に係るマイコンにおける共有バス制御部を示す回路図である。なお、図4において、図2に示す第1の実施例に係る共有バス制御部と同一の構成部には、同一符号を付して説明を省略する。

【0043】図1に示す本第2の実施例に係るマイコンにおける共有バス制御部において、図2に示す第1の実施例に係る共有バス制御部と相違する構成部分は、ORゲート39に入力されていたスタート信号40が削減されている部分と、リセット検出回路43が付加されている部分とである。従って、スタート信号の生成方法が第1の実施例とは異なっている。

【0044】本発明に係るマイコンでは、許可信号を各マイコン間で循環する必要があるので、リセット信号22による各マイコンの初期化後1つのマイコンだけが許可信号を出力するようにしている。

【0045】リセット検出回路43は、リセット信号22を入力すると、マイコン1の初期化後1基準クロック幅の信号を出力する。また、マイコン1には、端子44が設けられている。リセット検出回路43は、端子44を介して入力した信号のレベルが“1”ならば動作する。その信号のレベルが“0”ならば動作しない。

【0046】複数接続されたマイコンも上述と同様の構成であり、複数接続されたマイコンの内1つのマイコンだけが端子44の信号レベルを“1”とし、他のマイコンにおける端子44に相当する部分の信号レベルは“0”にする。端子44における信号レベルが“1”ならリセット信号22による初期化後、リセット信号検出回路43の出力は、1基準クロック幅だけ“1”になる。リセット信号検出回路43の出力は、ORゲート39を介してDラッチ41に入力され基準クロックφ21

の立上がりに同期化され、許可信号出力端子42から許可信号B19として出力される。他のマイコンにおいて、端子44に相当する部分の信号レベルは、“0”なので許可信号は出力されない。

【0047】以上説明したように、本第2の実施例では、リセット信号検出回路及び端子を設け、その端子から入力する信号レベルによって初期化後の最初の許可信号を出力するマイコンを選択している。

【0048】

【発明の効果】以上説明したように本発明に係るマイコンによれば、複数のマイコンが同一のバスに接続されているマイコンシステムにおいて、各マイコンにおけるバスの制御権は、リング状に接続した許可信号の接続の順番で決るので、他のマイコンのバスの使用が1度終了していれば必ずバスの制御権を得ることができる。従って、本発明に係るマイコンでは、マイコンの処理時間を見積り易くなり、複数のマイコンを使用したシステムの設計を容易にすることができる。

【0049】また、本発明に係るマイコンでは、バスの制御権を許可する信号をリング状に複数のマイコン間で接続するので、各マイコンは、許可信号の入力端子及び出力端子のみを持てばよい。このため、端子数を接続するマイコンの数によって変更する必要がない。また、従来例と比較し優先順位を制御する回路が不要になる。更には、複数のマイコンにおける夫々の回路構成は同じも

のなので、従来例のように2種類のマイコンを使用する必要がなく経済的に有利である。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るマイクロコンピュータを示すブロック図である。

【図2】図1に示すマイクロコンピュータにおける共有バス制御部の構造を詳細に示す回路図である。

【図3】図1及び図2に示す本第1の実施例に係るマイコンにおける各部の動作を示すタイミングチャートである。

【図4】本発明の第2の実施例に係るマイクロコンピュータにおける共有バス制御部を示す回路図である。

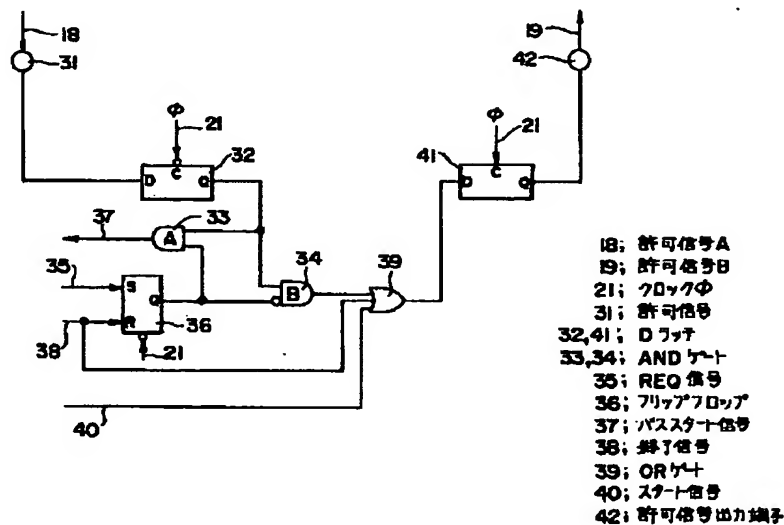
【図5】従来のマイクロコンピュータの一例を示すブロック図である。

【図6】図5に示す従来のマイコンにおける各部の動作を示すタイミングチャートである。

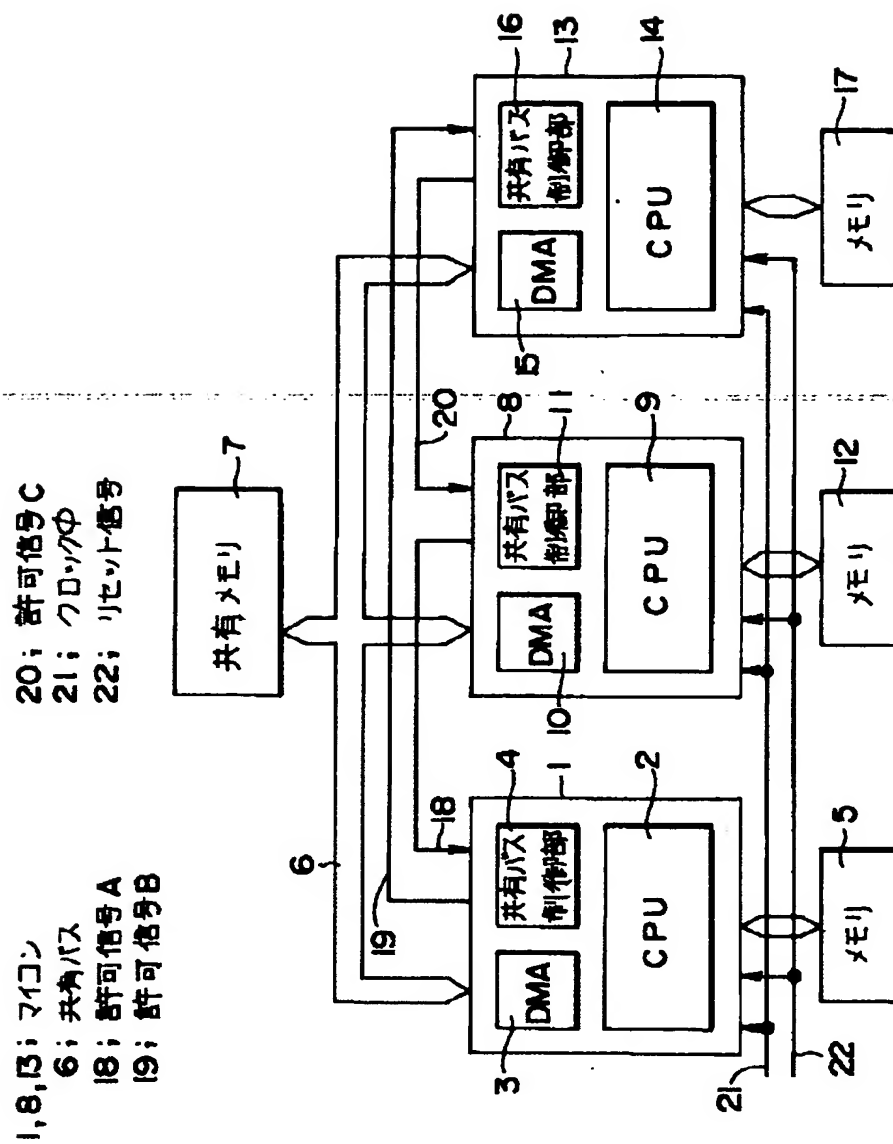
【符号の説明】

- 1, 8, 16 ; マイコン
- 2, 9, 14 ; CPU
- 3, 10, 15 ; DMA
- 4, 11, 16 ; 共有バス制御部
- 5, 12, 17 ; メモリ
- 6 ; 共有バス
- 7 ; 共有メモリ

【図2】

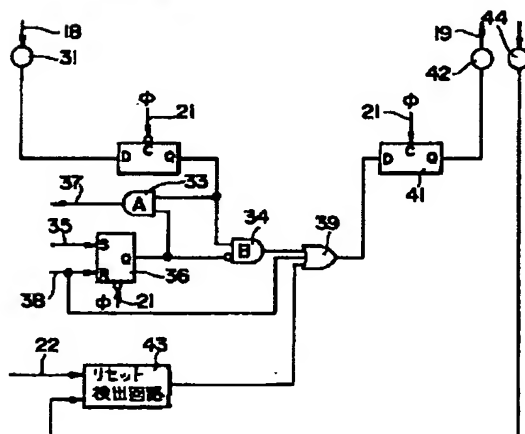


【図1】



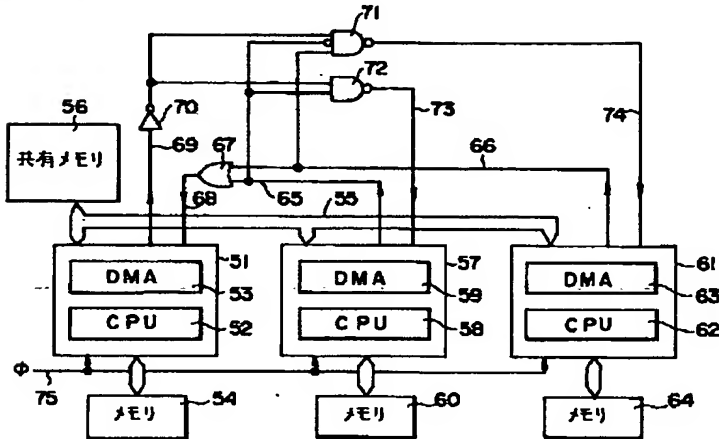
Timing diagram for the 74LS163 4-bit binary counter. The diagram shows the relationship between clock inputs (T1, T2, T3, T4, T5, T6, T7, T8, T9, T10) and various signals. T1 is the main clock, T2 is the enable A, T3 is the enable B, T4 is the clear, T5 is the load, T6 is the clock enable, T7 is the clock, T8 is the clock, T9 is the clock, and T10 is the clock. The signals shown are: 21 基準クロック (Reference Clock), 18 許可信号 A (Enable A), 32 D7-D0 (Data 7-0), 19 許可信号 B (Enable B), 35 REQ (Request), 36 F/F (Flag/Full), 37 バススタビライザ (Bus Stabilizer), 6 共有バス (Common Bus), and 38 終了信号 (End Signal). The diagram shows that the counter operates correctly when the clock is high and the enable signals are active. The common bus is active during the clock high period, and the end signal is active when the clock is high and the enable signals are active.

- 18: 許可信号A
- 19: 許可信号B
- 21: クロックΦ
- 22: リセット信号
- 31: 許可信号入力端子
- 33, 34: ANDゲート
- 35: REQ信号
- 36: フリップフロップ'
- 37: バスステア信号
- 38: 終了信号
- 39: ORゲート
- 42: 許可信号出力端子
- 44: 端子



【図5】

55: 共有バス
 65: バス要求信号B
 66: バス要求信号C
 67: ORゲート
 68: バス要求信号A
 69: バス許可信号A
 70: インバータ
 71, 72: NANDゲート
 73: バス許可信号B
 74: バス許可信号C



【図6】

